

Requested Patent: JP5175221A

Title: HETERO-JUNCTION BIPOLAR TRANSISTOR AND ITS MANUFACTURE

Abstracted Patent: JP5175221

Publication Date: 1993-07-13

Inventor(s): RIYUUJI AKIRA

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Application Number: JP19910344817 19911226

Priority Number(s):

IPC Classification: H01L21/331; H01L29/73; H01L29/205

Equivalents: JP3117766B2

#### ABSTRACT:

PURPOSE: To obtain large current gain and excellent high frequency characteristics.

CONSTITUTION: On a GaAs substrate 1, the following are formed; an N type GaAs layer 2 turning to an emitter contact layer, an N-type Al<sub>0.3</sub>Ga<sub>0.7</sub>As layer 3c turning to an emitter region, a P type GaAs layer 4a turning to a base region, an N-type GaAs layer 5a turning to a collector region, an N type GaAs layer 6a turning to a collector contact layer, an emitter electrode 12, a base electrode 13 and a collector electrode 14. By epitaxially forming an undoped Al<sub>0.3</sub>Ga<sub>0.7</sub>As layer 9a just under an outer base region, electrons injected from the emitter region are sufficiently restrained from leaking into a base electrode 13. By epitaxially forming a P type Ge layer 10a being a highly doped semiconductor layer in the outer base region, base resistance can be reduced.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-175221

(43) 公開日 平成5年(1993)7月13日

(51) Int.Cl. <sup>5</sup> H 01 L 21/331 29/73 29/205	識別記号 7377-4M 7377-4M	府内整理番号 F I H 01 L 29/72	技術表示箇所
---	----------------------------	-------------------------------	--------

審査請求 未請求 請求項の数3(全6頁)

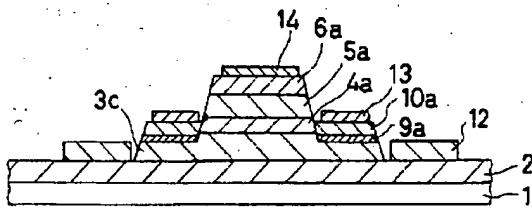
(21) 出願番号 特願平3-344817	(71) 出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日 平成3年(1991)12月26日	(72) 発明者 龍治 彰 大阪府門真市大字門真1006番地 松下電器 産業株式会社内

(74) 代理人 弁理士 宮井 咲夫

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタおよびその製造方法

(57) 【要約】

【目的】 大きい電流利得と優れた高周波特性を得る。  
【構成】 GaAs基板1上に、エミッタコンタクト層となるn<sup>+</sup>型GaAs層2、エミッタ領域となるn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層3c、ベース領域となるp<sup>+</sup>型GaAs層4a、コレクタ領域となるn型GaAs層5a、コレクタコンタクト層となるn<sup>+</sup>型GaAs層6a、エミッタ電極12、ベース電極13およびコレクタ電極14が形成されている。さらに、外部ベース領域直下に非ドープのAl<sub>0.3</sub>Ga<sub>0.7</sub>As層9aをエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極13へリードすることは充分抑えられる。外部ベース領域に高ドープの半導体材料層であるp<sup>+</sup>型Ge層10aをエピタキシ形成することにより、ベース抵抗を低減することができる。



1 GaAs基板(半導体基板)  
2 n<sup>+</sup>型GaAs  
3c n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As(エミッタ領域)  
4a p<sup>+</sup>型GaAs(真正ベース領域)  
5a n型GaAs(コレクタ領域)  
6a n<sup>+</sup>型GaAs  
9a エピタキシ形成した非ドープのAl<sub>0.3</sub>Ga<sub>0.7</sub>As(リード抑制領域)  
10a エピタキシ形成したp<sup>+</sup>型Ge(外部ベース領域)  
12 エミッタ電極  
13 ベース電極  
14 コレクタ電極

## 【特許請求の範囲】

【請求項1】 半導体基板上に、一導電型のエミッタ領域、他導電型の真性ベース領域および外部ベース領域、一導電型のコレクタ領域を順に備えたコレクタトップ型のヘテロ接合バイポーラトランジスタであって、前記外部ベース領域直下にエピタキシ形成したリーク抑止領域を設けたことを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 外部ベース領域を、真性ベース領域よりも高ドープの同種または異種の半導体材料層をエピタキシ形成した請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項3】 半導体基板上に、一導電型のエミッタ領域となるエミッタ材料層、他導電型の真性ベース領域となるベース材料層、一導電型のコレクタ領域となるコレクタ材料層を順次形成する工程と、前記コレクタ領域に対応する絶縁膜を形成し、この絶縁膜をマスクとして用いて湿式エッティングにより、マスクの直下の部分を残して、コレクタ材料層およびベース材料層とエミッタ材料層の一部とを除去して順メサを形成する工程と、

前記絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、前記エッティング除去した一部のエミッタ材料層と同等の厚さを有したリーク抑止領域となる第1の半導体材料層を形成する工程と、前記絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、前記ベース材料層と同等の厚さを有し前記ベース材料層よりも高ドープの同種もしくは異種の外部ベース領域となる第2の半導体材料層を形成する工程と、

前記第2の半導体材料層と、前記第1の半導体材料層と、前記エミッタ材料層とをエッティングして、前記外部ベース領域と、前記リーク抑止領域と、前記エミッタ領域とを形成する工程と、

エミッタ電極、ベース電極およびコレクタ電極を形成する工程とを含むヘテロ接合バイポーラトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

$$R_b = \frac{l_c R_s}{12L_c} + \frac{1_{bc} R_s}{2L_c} + \frac{(\rho_c R_s)^{1/2}}{2L_c}$$

【0008】ここで、 $L_c$ 、 $l_c$ 、 $1_{bc}$ は、それぞれコレクタ長、コレクタ幅、コレクタとベース電極間距離であり、 $R_s$ 、 $\rho_c$ はそれぞれベース層のシート抵抗、コンタクト抵抗率である。従って、本質的に高速、高周波化に有利なHBTを有効に生かすためには、数1、数2より、抵抗、容量などの浮遊要素を低減することが重要である。特に最大発振周波数  $f_{max}$  を大きくするために、ベース・コレクタ間容量  $C_{bc}$  とベース抵抗  $R_b$  を低

\* 【産業上の利用分野】この発明は、高速、高周波デバイスとして有望なヘテロ接合バイポーラトランジスタ（以下「HBT」という）に関するものである。

## 【0002】

【従来の技術】エミッタをベースよりもエネルギー・バンドギャップの大きい半導体材料で構成しているHBTは、ホモ接合バイポーラトランジスタにくらべて多くの利点を有している。これらを列記すると次の通りである。

10 (1) エミッタへのベースからの少数キャリアの逆注入が小さいため、エミッタ注入効率が高く、電流利得が高い。

(2) (1)の結果、ベースの不純物濃度を高くしても高い電流利得が維持でき、ベース抵抗を小さくすることができる。

(3) (1)の結果、エミッタの不純物濃度を下げることができるため、エミッタ接合容量を小さくすることができる。

20 【0003】これらの利点のためにHBTは、超高周波トランジスタ、高速論理用トランジスタとして有望視されている。一般にバイポーラトランジスタの電流利得遮断周波数  $f_{max}$  と最大発振周波数  $f_{max}$  は、それぞれ数1、数2で与えられる。

## 【0004】

## 【数1】

$$f_{max} = 1 / 2 \pi \tau_{ee}$$

## 【0005】

## 【数2】

$$f_{max} = (f_{max} / 8 \pi R_b C_{bc})^{1/2}$$

30

【0006】ここで  $\tau_{ee}$  はエミッタ・コレクタ間の全遅延時間であり、 $C_{bc}$  はベース・コレクタ間容量、 $R_b$  はベース抵抗である。このベース抵抗  $R_b$  は、コレクタを上部に設けたコレクタトップ型のトランジスタで、ベース電極をコレクタの両側でとる構造では数3で与えられる。

## 【0007】

## 【数3】

減することが重要である。このためコレクタを上部に設けたコレクタトップ型のHBTはこのベース・コレクタ間容量  $C_{bc}$  を低減でき、高周波特性の向上に有利である。

【0009】また、ベース抵抗  $R_b$  は数3からわかるように、数3の右辺第一項である真性ベース部分の抵抗は、コレクタ領域のサイズを最適化することにより十分小さくすることができる。数3の右辺第二項は自己整合

3

法を適用して、コレクタとベース電極間の距離を小さくすることにより十分小さくすることができる。数3の右辺第三項はベース濃度を高くしたり、金属とのコンタクト抵抗が小さい半導体材料を導入することにより十分小さくすることができる。

【0010】ところで、従来のコレクタトップ型のHBTは、図6に示す断面構造を有している。この従来のコレクタトップ型のHBTはGaAs-A1GaAs系HBTであり、(001)面方位を有する半絶縁性のGaAs基板21上に、エミッタコンタクト層となるn<sup>+</sup>型GaAs層22、エミッタ領域となるn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層23、ベース領域となるp<sup>+</sup>型GaAs層24、コレクタ領域となるn型GaAs層25、コレクタコンタクト層となるn<sup>+</sup>型GaAs層26、エミッタ電極32、ベース電極33およびコレクタ電極34が形成され、さらに、外部ベース領域の直下のエミッタ領域には、酸素を用いたイオン注入により絶縁化された絶縁領域35が形成されている。

【0011】このようにコレクタトップ型の構造とすることによりベース・コレクタ間容量は十分低減することができる。また、絶縁領域35を設け、エミッタ領域から注入された電子がベース電極33へリークすることを抑えて電流利得を大きくするようにしている。

【0012】

【発明が解決しようとする課題】しかしながら上記従来の構成および製造方法では、絶縁領域35を形成するためのイオン注入を行う際に、ベース領域を酸素が通過するため、ベース領域の結晶の悪化を招き、ベース電極33となる金属とのコンタクト抵抗が十分小さくならず、高周波特性を劣化させる原因となっている。また注入後、活性化させるために700°C以上に温度を上げる必要があるため急峻なドーピングプロファイルおよび組成プロファイルを破壊してしまう。そのため、イオン注入により形成した絶縁領域35は、充分にリーク電流を抑えているとは言い難く、したがって電流利得を大きくする上で限界がある。

【0013】この発明の目的は、電流利得の大きいヘテロ接合バイポーラトランジスタを提供することと、電流利得が大きくかつ高周波特性の優れたヘテロ接合バイポーラトランジスタおよびその製造方法を提供することである。

【0014】

【課題を解決するための手段】請求項1記載のヘテロ接合バイポーラトランジスタは、半導体基板上に、一導電型のエミッタ領域、他導電型の真性ベース領域および外部ベース領域、一導電型のコレクタ領域を順に備えており、外部ベース領域直下にエピタキシ形成したリーク抑制領域を設けたことを特徴とする。

【0015】請求項2記載のヘテロ接合バイポーラトランジスタは、請求項1記載のヘテロ接合バイポーラトランジ

4

ンジスタにおいて、外部ベース領域として、真性ベース領域よりも高ドープの同種または異種の半導体材料層をエピタキシ形成している。請求項3記載のヘテロ接合バイポーラトランジスタの製造方法は、半導体基板上に、一導電型のエミッタ領域となるエミッタ材料層、他導電型の真性ベース領域となるベース材料層、一導電型のコレクタ領域となるコレクタ材料層を順次形成する工程と、コレクタ領域に対応する絶縁膜を形成し、この絶縁膜をマスクとして用いて湿式エッチングにより、マスクの直下の部分を残して、コレクタ材料層およびベース材料層とエミッタ材料層の一部とを除去して順メサを形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、エッチング除去した一部のエミッタ材料層と同等の厚さを有したリーク抑制領域となる第1の半導体材料層を形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、ベース材料層と同等の厚さを有しベース材料層よりも高ドープの同種もしくは異種の外部ベース領域となる第2の半導体材料層を形成する工程と、第2の半導体材料層と、第1の半導体材料層と、エミッタ材料層とをエッチングして、外部ベース領域と、リーク抑制領域と、エミッタ領域とを形成する工程と、エミッタ電極、ベース電極およびコレクタ電極を形成する工程とを含んでいる。

【0016】

【作用】この発明のヘテロ接合バイポーラトランジスタおよびその製造方法によれば、外部ベース領域直下にリーク抑制領域をエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極へリークすることは充分抑えられるため、電流利得を大きくすることができる。

【0017】さらに、外部ベース領域に高ドープの同種もしくは異種の半導体材料層(第2の半導体材料層)をエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。

【0018】

【実施例】以下この発明の一実施例を図面を参照しながら説明する。図1にこの発明の一実施例のヘテロ接合バイポーラトランジスタの断面構造図を示す。このヘテロ接合バイポーラトランジスタは、(001)面方位を有する半絶縁性のGaAs基板1上に、エミッタコンタクト層となるn<sup>+</sup>型GaAs層2、エミッタ領域となるn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層3c、真性ベース領域となるp<sup>+</sup>型GaAs層4a、コレクタ領域となるn型GaAs層5a、コレクタコンタクト層となるn<sup>+</sup>型GaAs層6a、エミッタ電極12、ベース電極13およびコレクタ電極14が形成され、さらに、エミッタ領域から注入された電子がベース電極13へリークすることを抑え

5

るためのリーク抑止領域として非ドープの  $A_{10.3}Ga_{0.7}As$  層 9a と、外部ベース領域として  $p^+$  型 Ge 層 10a とが、エピタキシ形成されている。

【0019】このように構成されるヘテロ接合バイポーラトランジスタの製造方法を、さらに図2ないし図5を参照しながら説明する。まず、(001) 面方位を有する半絶縁性の GaAs 基板 1 上に、分子線エピタキシ (MBE) 法を用いて、 $5 \times 10^{18}$  個/ $\text{cm}^3$  の n型不純物を含有する厚さ 600 nm の  $n^+$  型 GaAs 層 2、 $5 \times 10^{17}$  個/ $\text{cm}^3$  の n型不純物を含有する厚さ 100 nm の n型  $A_{10.3}Ga_{0.7}As$  層 (エミッタ材料層) 3、 $4 \times 10^{19}$  個/ $\text{cm}^3$  の p型不純物を含有する厚さ 100 nm の  $p^+$  型 GaAs 層 (ベース材料層) 4、 $5 \times 10^{16}$  個/ $\text{cm}^3$  の n型不純物を含有する厚さ 500 nm の n型 GaAs 層 (コレクタ材料層) 5、 $5 \times 10^{18}$  個/ $\text{cm}^3$  の n型不純物を含有する厚さ 200 nm の  $n^+$  型 GaAs 層 6 を形成し、その後、気相成長法により酸化珪素 ( $\text{SiO}_2$ ) 膜 7 を全面に形成して、図2に示す構造を得る。

【0020】次に、 $\text{SiO}_2$  膜 7 上に蒸着リフトオフを用いて、コレクタ領域に対応するアルミニウムからなるパターン 8 を、パターンの伸長方向を [110] 方位に置いて形成する。ついで、アルミニウムからなるパターン 8 をマスクとして用い、エッティングガスとして、沸化メタン ( $\text{CHF}_3$ ) を用いて、平行平板型リアクティブエッティング (RIE) 装置により、 $\text{SiO}_2$  膜 7 をエッティングして、パターン 8 に対応した  $\text{SiO}_2$  膜からなる絶縁膜 7a を形成する。その後、硫酸・過酸化水素系のエッティング液により、パターン 8 と絶縁膜 7a をマスクとして用いて、湿式エッティングで n型  $A_{10.3}Ga_{0.7}As$  層 3 が 70 nm 程度残るまでエッティングして、n型 GaAs 層 6a、n型 GaAs 層 5a、p<sup>+</sup> 型 GaAs 層 4a および n型  $A_{10.3}Ga_{0.7}As$  層 3a からなる順メサ及び薄い n型  $A_{10.3}Ga_{0.7}As$  層 3b を形成し、図3に示す構造を得る。

【0021】ついで、アルミニウムのパターン 8 を除去した後、分子線エピタキシ法により基板に対して垂直方向から非ドープの  $A_{10.3}Ga_{0.7}As$  層 (第1の半導体材料層) 9 を 30 nm 程度、ついで  $1 \times 10^{20}$  個/ $\text{cm}^3$  の p型不純物を含有する厚さ 100 nm の  $p^+$  型 Ge 層 (第2の半導体材料層) 10 を形成して、図4に示す構造を得る。

【0022】次に、 $\text{SiO}_2$  膜からなる絶縁膜 7a とその上に付着した多結晶化した半導体材料層 (図示せず) を選択的に除去した後、フォトリソグラフィ技術とエッティングにより  $p^+$  型 Ge 層 10a、 $A_{10.3}Ga_{0.7}As$  層 9a、n型  $A_{10.3}Ga_{0.7}As$  層 3c からなるメサを形成し、n<sup>+</sup> 型 GaAs 層 2 を露出せしめ、図5に示す構造を得る。

【0023】最後にフォトリソグラフィ技術、及び蒸着

6

によりエミッタ電極 12、ベース電極 13 およびコレクタ電極 14 を形成し、図1に示す HBT が完成する。以上のようにこの実施例によれば、外部ベース領域直下にリーク抑止領域として非ドープの  $A_{10.3}Ga_{0.7}As$  層 9a をエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極 13 へリークすることは充分抑えられるため、電流利得を大きくすることができる。

【0024】さらに、外部ベース領域に高ドープの半導体材料層 (第2の半導体材料層) である  $p^+$  型 Ge 层 10a をエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。この実施例では、外部ベース領域として p型の Ge ( $p^+$  型 Ge 層 10a) を用いているが、真性ベース領域を形成している p型の GaAs ( $p^+$  型 GaAs 層 4a) と同じ濃度もしくはそれ以上の濃度を有する GaAs を用いてもよい。

【0025】また、外部ベース領域の直下にエピタキシ形成するリーク抑止領域として、非ドープの  $A_{10.3}Ga_{0.7}As$  層 9a を用いているが、p型にドープした  $A_{1-x}Ga_{1-x}As$  ( $x > 0.3$ ) をエピタキシ形成して用いてもよい。なお、この場合、p型にドープした  $A_{1-x}Ga_{1-x}As$  ( $x > 0.3$ ) は、エミッタ領域よりもバンドギャップの大きいエミッタ領域と異なる導電型であり、外部ベース領域直下のエミッタ領域内に p-n 接合が形成されるが、これはワイドバンドギャップ間の接合のため真性ベース領域とエミッタ領域との p-n 接合に比べて on 電圧は高く、通常の動作範囲では接合部を流れれる電流は無視できる。

【0026】また、エミッタ領域として  $A_{10.3}Ga_{0.7}As$  の組成のものを用いているが、これ以外の組成でもよく、要するにエミッタ領域が真性ベース領域よりもエネルギー・バンドギャップが大きければよい。なお、この実施例では、n-p-n 型の HBT について記述しているが、p-n-p 型の HBT に対しても適用できる。また実施例では GaAs-AIGaAs 系の HBT について述べているが、他の材料系の HBT でも適用できる。

【0027】例えば、エミッタ領域として n型にドープされた GaAs、真性ベース領域として p型にドープされた Ge、コレクタ領域として n型にドープされた Ge、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーク抑止領域として非ドープもしくは p型にドープされた  $A_{1-x}Ga_{1-x}As$  ( $x > 0$ )、外部ベース領域として真性ベース領域を形成している p型にドープされた Ge 以上のキャリア濃度を有する Ge を用いてもよい。

【0028】また、エミッタ領域として p型にドープされた  $A_{10.3}Ga_{0.7}As$ 、真性ベース領域として n型にドープされた GaAs、コレクタとして p型にドープ

7

されたGaAs、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーケ抑止領域として非ドープもしくはn型にドープされたAl<sub>1-x</sub>Ga<sub>x</sub>As (X>0.3)、外部ベース領域として真性ベース領域を形成しているn型にドープされたGaAs以上のキャリア濃度を有するGaAsもしくはGeを用いてよい。

【0029】また、エミッタ領域としてp型にドープされたGaAs、真性ベース領域としてn型にドープされたGe、コレクタ領域としてp型にドープされたGe、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーケ抑止領域として非ドープもしくはn型にドープされたAl<sub>1-x</sub>Ga<sub>x</sub>As (X>0)、外部ベース領域として真性ベース領域を形成しているn型にドープされたGe以上のキャリア濃度を有するGeを用いてよい。

【0030】

【発明の効果】以上のようにこの発明のヘテロ接合バイポーラトランジスタおよびその製造方法によれば、外部ベース領域直下にリーケ抑止領域をエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極へリーケすることは充分抑えられるため、電流利得を大きくすることができる。

【0031】さらに、外部ベース領域に高ドープの同種もしくは異種の半導体材料層（第2の半導体材料層）をエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。

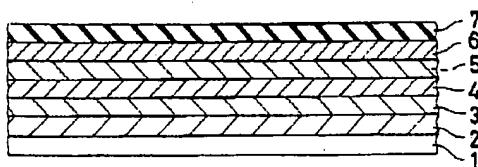
【図面の簡単な説明】

【図1】この発明の一実施例のヘテロ接合バイポーラトランジスタの断面図である。

【図2】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

【図3】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

【図2】



8

【図4】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

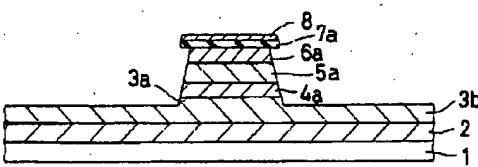
【図5】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

【図6】従来例のヘテロ接合バイポーラトランジスタの断面図である。

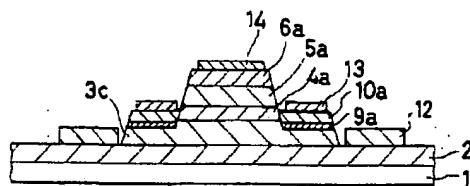
【符号の説明】

- 1 GaAs基板 (半導体基板)
- 2 n<sup>+</sup>型GaAs
- 3 n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As (エミッタ材料層)
  - 3a n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As
  - 3b エッティングのとき残したn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As
  - 3c n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As (エミッタ領域)
- 4 p<sup>+</sup>型GaAs (ベース材料層)
  - 4a メサを形成するp<sup>+</sup>型GaAs (真性ベース領域)
- 5 n型GaAs (コレクタ材料層)
  - 5a メサを形成するn型GaAs (コレクタ領域)
- 6 n<sup>+</sup>型GaAs
  - 6a n<sup>+</sup>型GaAs
- 7 SiO<sub>2</sub>膜
  - 7a SiO<sub>2</sub>膜からなる絶縁膜
- 8 アルミニウムのパターン
- 9 エピタキシ形成した非ドープのAl<sub>0.3</sub>Ga<sub>0.7</sub>As (第1の半導体材料層)
  - 9a エピタキシ形成した非ドープのAl<sub>0.3</sub>Ga<sub>0.7</sub>As (リーケ抑止領域)
- 10 エピタキシ形成したp<sup>+</sup>型Ge (第2の半導体材料層)
  - 10a エピタキシ形成したp<sup>+</sup>型Ge (外部ベース領域)
- 12 エミッタ電極
- 13 ベース電極
- 14 コレクタ電極

【図3】

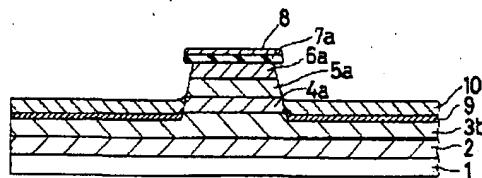


【図1】

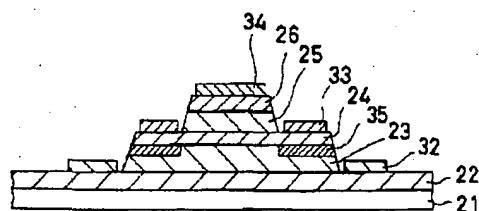


1 GaAs基板(半導体基板)  
 2 n<sup>+</sup>型GaAs  
 3c n型Al<sub>x</sub>Ga<sub>1-x</sub>As(エミッタ領域)  
 4a p<sup>+</sup>型GaAs(真性ベース領域)  
 5a n型GaAs(コレクタ領域)  
 6a n<sup>+</sup>型GaAs  
 9a エピタキシ形成した非ドープの  
     Al<sub>x</sub>Ga<sub>1-x</sub>As(リーク抑止領域)  
 10a エピタキシ形成したp<sup>+</sup>型Ge(外部ベース領域)  
 12 ベース電極  
 13 ベース電極  
 14 コレクタ電極

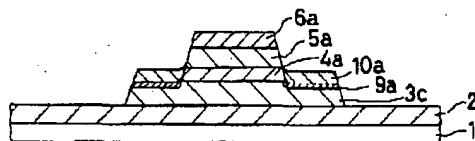
【図4】



【図6】



【図5】



1 GaAs基板(半導体基板)  
 2 n<sup>+</sup>型GaAs  
 3 n型Al<sub>x</sub>Ga<sub>1-x</sub>As(エミッタ材料層)  
 3a n型Al<sub>x</sub>Ga<sub>1-x</sub>As  
 3b エッチングのとき残したn型Al<sub>x</sub>Ga<sub>1-x</sub>As  
 3c n型Al<sub>x</sub>Ga<sub>1-x</sub>As(エミッタ領域)  
 4 p<sup>+</sup>型GaAs(ベース材料層)  
 4a p<sup>+</sup>型GaAs(真性ベース領域)  
 5 n型GaAs(コレクタ材料層)  
 5a n型GaAs(コレクタ領域)  
 6 n<sup>+</sup>型GaAs  
 6a n<sup>+</sup>型GaAs  
 7 SiO<sub>2</sub>膜  
 7a SiO<sub>2</sub>膜からなる絶縁膜  
 8 アルミニウムのパターン  
 9 エピタキシ形成した非ドープの  
     Al<sub>x</sub>Ga<sub>1-x</sub>As(第1の半導体材料層)  
 8a エピタキシ形成した非ドープの  
     Al<sub>x</sub>Ga<sub>1-x</sub>As(リーク抑止領域)  
 10 エピタキシ形成したp<sup>+</sup>型Ge(第2の半導体材料層)  
 10a エピタキシ形成したp<sup>+</sup>型Ge(外部ベース領域)